GUÍA DOCENTE

ARQUITECTURA DE COMPUTADORES

Coordinación: ROIG MATEU, CONCEPCIÓN

Año académico 2017-18

ARQUITECTURA DE COMPUTADORES 2017-18

Información general de la asignatura

<table>
<tr><td>Denominación</td><td>ARQUITECTURA DE COMPUTADORES</td></tr>
<tr><td>Código</td><td>102014</td></tr>
<tr><td>Semestre de impartición</td><td>2o Q(SEMESTRE) EVALUACIÓN CONTINUADA</td></tr>
<tr><td>Carácter</td><td>
<table>
<tr><th>Grado/Máster</th><th>Curso</th><th>Carácter</th><th>Modalidad</th></tr>
<tr><td>Doble titulación: Grado en Ingeniería Informática y Grado en Administración y Dirección de Empresas</td><td>2</td><td>OBLIGATORIA</td><td>Presencial</td></tr>
<tr><td>Grado en Ingeniería Informática</td><td>2</td><td>OBLIGATORIA</td><td>Presencial</td></tr>
</table>
</td></tr>
<tr><td>Número de créditos ECTS</td><td>6</td></tr>
<tr><td>Grupos</td><td>1GG,3GM</td></tr>
<tr><td>Créditos teóricos</td><td>3</td></tr>
<tr><td>Créditos prácticos</td><td>3</td></tr>
<tr><td>Coordinación</td><td>ROIG MATEU, CONCEPCIÓN</td></tr>
<tr><td>Departamento/s</td><td>INFORMATICA I ENGINYERIA INDUSTRIAL</td></tr>
<tr><td>Distribución carga docente entre la clase presencial y el trabajo autónomo del estudiante</td><td>Globalmente la asignatura tiene 60 horas de clase presencial y 120 horas de trabajo individual del estudiante.</td></tr>
<tr><td>Información importante sobre tratamiento de datos</td><td>Consulte este enlace para obtener más información.</td></tr>
<tr><td>Idioma/es de impartición</td><td>Catalán</td></tr>
<tr><td>Distribución de créditos</td><td>3 créditos de grupo grande (GG) para la parte teórica, 3 crèdits de grupo mediano (GM) para problemas/prácticas.</td></tr>
<tr><td>Horario de tutoría/lugar</td><td>Lunes y jueves de 10 a 11 h.
Despacho 3.13 EPS</td></tr>
</table>

ARQUITECTURA DE COMPUTADORES 2017-18

Profesor/a (es/as)	Dirección electrónica profesor/a (es/as)	Créditos impartidos por el profesorado	Horario de tutoría/lugar
ROIG MATEU, CONCEPCIÓN	roig@diei.udl.cat	12	

Información complementaria de la asignatura

Asignatura que se imparte durante el segundo quatrimestre de segundo curso de la titulación.

Es una asignatura de carácter obligartorio.

Para cursar la asignatura se requieren los conocimientos de las unidades funcionales del sistema computador que se dan en las asignaturas previas de Estructura de Computadores I y II.

Objetivos académicos de la asignatura

- Estudiar el funcionamiento global de la memoria jerárquica del computador i los distintos niveles que la forman.
- Aprender la organización de la información en el sistema de memoria para que el acceso a la misma sea eficiente.
- Conocer el mecanismo de ejecución segmentada de las instrucciones dentro del procesador y evaluar su rendimiento.
- Estudiar los procesos y algoritmos necesarios para llevar a cabo las operaciones aritméticas básicas y las complejas dentro de la unidad aritmética.
- Analizar las diferentes soluciones que se presentan, desde el punto de vista de eficiencia y de coste. Saber valorar qué soluciones de diseño llegan a un mejor compromiso entre coste y rendimiento.

Competencias

Competencias específicas de la titulación

- GII-FB5: Conocimiento de la estructura, organización, funcionamiento e interconexión de los sistemas informáticos, los fundamentos de su programación, y su aplicación para la resolución de problemas propios de la ingeniería.

- GII-CRI9: Capacidad de conocer, comprender y evaluar la estructura y arquitectura de los computadores, así como los componentes básicos que los conforman.

Competencias transversales de la titulación

- EPS5: Capacidad para la abstracción y el razonamiento crítico, lógico y matemático.

Contenidos fundamentales de la asignatura

1. Jerarquia de memoria

1.1. Introducción

Conceptos generales.

Principio de localidad.

1.2. Memòria *cache*

Configuraciones de memoria *cache.*

Asignación e identificación de bloques.

Políticas de sustitución de bloque.

Políticas de escritura.

Coherencia de datos.

Rendimento de la memoria *cache*.

1.3. Memoria principal

Organización para la mejora de rendimento.

Alternativas tecnológicas.

1.4. Memoria virtual.

Elementos de la memoria virtual.

Tabla de páginas

TLB (Transaction Look-aside Buffer).

2. Procesamiento segmentado

2.1. Conceptos básicos

2.2. Tratamiento de riesgos

Riesgos estructurales.

Riesgos de datos.

Riesgos de control.

2.3. Influencia del repertorio de instrucciones.

2.4. Ejecución superescalar.

3. Processamiento aritmético

3.1. Circuitos sumadores.

Semi-sumador, sumador básico, sumador paralelo.

Sumador con cálculo de carry anticipado.

Circuito sumador/restador.

3.2. Algoritmos de multiplicación binaria.

1.3. Algoritmos de división binaria.

1.5. Aritmética en coma flotante

Representación números en coma flotante

Representación aproximada: rango y precisión.

Operaciones de suma y resta.

Operaciones de multiplicación y división.

Ejes metodológicos de la asignatura

Las clases se dividen en clases de grupo grande (GG), a las que asisten todos los estudiantes de la asignatura, y clases de grupo meidano (GM) a las que sólo asisten una parte de los estudiantes. Los contenidos que se dan en cada uno de los grupos se distribuyen de la siguiente manera:

GG: Son clases de tipo expositivo en las que se dan los contenidos de la asignatura.

GM: Se resuelven problemas relacionados con los contenidos expuestos en las clases de GG, de forma participativa e interactiva. También se realizan prácticas de laboratorio sobre el tema de jerarquía de memoria con el simulador SMPcaché y sobre ejecución segmentada con el simulador WunMIPS64.

Plan de desarrollo de la asignatura

Semana	Descripción	Actividad GG	Actividad GM
1	Jerarquía de memoria	Presentación asignatura. Conceptos generales. Principio de localidad.	Ejercicios de jerarquía de memoria
2	Jerarquía de memoria	Configuraciones de memoria cache. Asignación y identificación de bloques	Ejercicios de jerarquía de memoria
3	Jerarquía de memoria	Políticas de sustitución de bloque y escritura	Ejercicios de jerarquía de memoria
4	Jerarquía de memoria	Coherencia de datos	Ejercicios de jerarquía de memoria
5	Jerarquía de memoria	Rendimiento de la memoria cache	Prácticas de jerarquía de memoria
6	Jerarquía de memoria	Memoria principal. Memoria virtual.	Prácticas de jerarquía de memoria
7	Procesamiento segmentado	Conceptos básicos	Ejercicios de procesamiento segmentado
8	Procesamiento segmentado	Tratamiento de riesgos	Ejercicios de procesamiento segmentado
9	Examen parcial	Realización primer parcial	
10	Procesamiento segmentado	Tratamiento de riesgos	Prácticas de procesamiento segmentado

11	Procesamiento segmentado	Influencia del repertorio de instrucciones. ejecución superescalar	Prácticas de procesamiento segmentado
12	Procesamiento aritmético	Circuitos sumadores	Ejercicios de procesamiento aritmético.
13	Procesamiento aritmético	Algoritmos de multiplicación binaria	Ejercicios de procesamiento aritmético.
14	Procesamiento aritmético	Algoritmos de división binaria	Ejercicios de procesamiento aritmético.
15	Procesamiento aritmético	Aritmética en coma flotante	Ejercicios de procesamiento aritmético.
16 i 17	Exámenes parciales	Realización segundo parcial	
18	Tutorías		
19	Exámenes recuperación	Realización examen de recuperación, si es necesario.	

Sistema de evaluación

Acr.	Actividades evaluación	Ponderación	Nota Mínima	En grupo	Obligatoria	Recuperable
P1	*Examen 1er Parcial*	30%	NO	NO	SI	SI
P2	*Examen 2on Parcial*	50%	NO	NO	SI	SI
PRA	*Prácticas*	20%	NO	SI (<=2)	SI	NO

NOTA_FINAL=30% P1+50% P2+20% PRA
Para superar la asignatura es necesario que NOTA_FINAL sea mayor o igual que 5

En caso de no haber superado la asignatura se puede ir al examen de recuperación de de cada uno de los dos exámenes parciales. En este caso la nota se calculará de la siguiente manera:
N_rec_P1: nota recuperación primer parcial
N_rec_P2: nota recuperación segundo parcial
NOTA_FINAL = 30% N_rec_P1 + 50% N_rec_P2+ 20% PRA

Bibliografía y recursos de información

Stallings W., *Organización y arquitectura de computadores*. (7 edición) Prentice-Hall.

Hamacher C., Vranesic Z., Zaky S. *Organización de computadores* (5ªedición). McGraw-Hill.

Ortega J., Anguita M., Prieto A. *Arquitectura de computadores.* Thomson.

Hennessy J. L., Patterson D. A. *Computer Architecture. A Quantitative Approach*. Morgan Kaufmann.