GUÍA DOCENTE

ESTRUCTURA DE COMPUTADORES 1

Coordinación: ROIG MATEU, CONCEPCIÓN

Año académico 2017-18

ESTRUCTURA DE COMPUTADORES I 2017-18

Información general de la asignatura

<table>
<tr><td>Denominación</td><td>ESTRUCTURA DE COMPUTADORES 1</td></tr>
<tr><td>Código</td><td>102002</td></tr>
<tr><td>Semestre de impartición</td><td>1R Q(SEMESTRE) EVALUACIÓN CONTINUADA</td></tr>
<tr><td>Carácter</td><td>
<table>
<tr><th>Grado/Máster</th><th>Curso</th><th>Carácter</th><th>Modalidad</th></tr>
<tr><td>Doble titulación: Grado en Ingeniería Informática y Grado en Administración y Dirección de Empresas</td><td>1</td><td>TRONCAL</td><td>Presencial</td></tr>
<tr><td>Grado en Ingeniería Informática</td><td>1</td><td>TRONCAL</td><td>Presencial</td></tr>
</table>
</td></tr>
<tr><td>Número de créditos ECTS</td><td>6</td></tr>
<tr><td>Grupos</td><td>1GG,4GM</td></tr>
<tr><td>Créditos teóricos</td><td>3</td></tr>
<tr><td>Créditos prácticos</td><td>3</td></tr>
<tr><td>Coordinación</td><td>ROIG MATEU, CONCEPCIÓN</td></tr>
<tr><td>Departamento/s</td><td>INFORMATICA I ENGINYERIA INDUSTRIAL</td></tr>
<tr><td>Distribución carga docente entre la clase presencial y el trabajo autónomo del estudiante</td><td>Glogalmente la asignatura tiene 60 horas de clase y 120 horas de trabajo individual del estudiante.</td></tr>
<tr><td>Información importante sobre tratamiento de datos</td><td>Consulte este enlace para obtener más información.</td></tr>
<tr><td>Idioma/es de impartición</td><td>Catalán</td></tr>
<tr><td>Distribución de créditos</td><td>La distribución de créditos, contando el despliegue de grupos que se hace en la asignatura es la siguiente:

Josep M. Solà 12
Concepció Roig Mateu 3</td></tr>
<tr><td>Horario de tutoría/lugar</td><td>Concepció Roig: viernes de 13:00 h. a 14:00 h.
Josep M. Solà: viernes de 13:00 h. a 14:00 h.</td></tr>
</table>

ESTRUCTURA DE COMPUTADORES I 2017-18

Profesor/a (es/as)	Dirección electrónica profesor/a (es/as)	Créditos impartidos por el profesorado	Horario de tutoría/lugar
ROIG MATEU, CONCEPCIÓN	roig@diei.udl.cat	9	
SAIZ VELA, ALBERT	asaiz@diei.udl.cat	6	

Información complementaria de la asignatura

Asignatura que se imparte durante el primer semestre del 1r curso de la titulación. Corresponde a la materia "Estructura de Computadores" dentro el módulo de "Formación Básica".

Para cursar la asignatura no se precisan conocimientos previos de circuitos lógicos. Es suficiente con los conocimientos adquiridos en la educación secundaria post-obligatoria.

Objetivos académicos de la asignatura

- Aprender los formatos de representación de la información en un sistema computador y las reglas de tratamiento de esta información.
- Estudiar el funcionamiento de los bloques básicos combinacionales y secuenciales y su función dentro de un computador.
- Desarrollar los procesos de análisis y diseño de circuitos lógicos combinacionales y secuenciales.
- Resolución de circuitos lógicos con capacidad de analizar diferentes propuestas.

Competencias

Competencias estratégicas de la Universidad de Lleida

Competencias específicas de la titulación

GII-FB5. Conocimiento de la estructura, organización, funcionamiento e interconexión de los sistemas informáticos, los fundamentos de su programación, y su aplicación para la resolución de problemas propios de la ingeniería.

GII-CR19. Capacidad de conocer, comprender y evaluar la estructura y arquitectura de los computadores, así como los componentes básicos que los conforman.

Competencias transversales de la titulación

EPS1. Capacidad de resolución de problemas y elaboración y defensa de argumentos dentro de su área de estudios.

EPS9. Capacidad de trabajo en equipo, tanto unidisciplinar como multidisciplinar.

Contenidos fundamentales de la asignatura

1.Representación digital de la información

1.1. Codificación de la información

1.2. Sistemas de numeración

1.3. Aritmética binaria

1.4. Representación de números con signo

1.5. Codificación alfanumérica

2. Funciones lógicas

2.1. Álgebra de conmutación

2.2. Operadores i puertas lógicas

2.3. Funciones lógicas

2.4. Simplificación de funciones lógicas

2.5. Funciones incompletamente especificadas

3. Circuitos combinacionales

3.1. Estructuras de puertas de dos niveles

3.2. Análisis y síntesis de circuitos combinacionales

3.3. Bloques combinacionales básicos

3.3.1. Decodificador

3.3.2. Codificador

3.3.3. Multiplexor

3.3.4. Demultiplexor

3.3.5. Comparador

4. Circuitos secuenciales

4.1. Elemento básico de memoria

4.2. Flip-flops

4.3. Entradas directas a un flip-flop

4.4. Análisis de circuitos secuenciales

4.5. Diseño de circuitos secuenciales

4.6. Módulos secuenciales básicos

4.6.1. Registros

4.6.2 .Contadores

Ejes metodológicos de la asignatura

Las clases se dividen en clases de grupo grande (GG), a las que asisten todos los estudiantes de la asignatura, y clases de grupo meidano (GM) a las que sólo asisten una parte de los estudiantes. Los contenidos que se dan en cada uno de los grupos se distribuyen de la siguiente manera:

GG: Son clases de tipo expositivo en las que se dan los contenidos de la asignatura.

GM: Se resuelven problemas relacionados con los contenidos expuestos en las clases de GG, de forma participativa e interactiva. También se realizan prácticas de laboratorio para la resolución de circuitos lógicos on el simulador ISIS de Proteus.

Actividades prácticas:

- Diseño de un circuito combinacional que realice una función determinada.

- Diseño de un circuito secuencial que pase por una secuencia predeterminada de estados..

Plan de desarrollo de la asignatura

Semana	Descripción	Actividad GG	Actividad GM
1	Representación digital información. Funciones lógicas	Presentación asignatura. Algebra de conmutación.	Codificación de la información. Sistemas de numeración.
2	Representación digital información. Funciones lógicas	Operadores y puertas lógicas.	Aritmética binaria
3	Representación digital información. Funciones lógicas	Representación de funciones lógicas.	Representación de números con signo. Codificación alfanumérica.
4	Funciones lógicas	Métodos de simplificación de funciones lógicas.	Ejercicios de funciones lógicas.
5	Funciones lógicas	Funciones incompletamente especificadas	Ejercicios de funciones lógicas.
6	Circuitos combinacionales	Estructuras de puertas de dos niveles	Ejercicios de funciones lógicas.
7	Circuitos combinacionales	Análisis y síntesis de circuitos combinacionales	Ejercicios de circuitos combinacionales.
8	Circuitos combinacionales	Bloques combinacionales básicos	Ejercicios de circuitos combinacionales.
9	Exámenes parciales	Realización primer parcial	
10	Circuitos combinacionales	Bloques combinacionales básicos	Ejercicios de circuitos combinacionales.
11	Circuitos secuenciales	Elemento básico de memoria	Práctica de circuitos combinacionales.
12	Circuitos secuenciales	Flip-flops	Ejercicios de circuitos secuenciales.
13	Circuitos secuenciales	Análisis de circuitos secuenciales	Ejercicios de circuitos secuenciales.
14	Circuitos secuenciales	Diseño de circuitos secuenciales	Ejercicios de circuitos secuenciales.
15	Circuitos secuenciales	Módulos secuenciales básicos	Práctica de circuitos secuenciales.
16 i 17	Exámenes parciales	Realización segundo parcial	
18	Tutorías		
19	Exámenes de recuperación	Realización examen de recuperación, si es necesario.	

Sistema de evaluación

Acr.	Actividad evaluación	Ponderación	Nota Mínima	En grupo	Obligatoria	Recuperable
P1	*Examen 1er Parcial*	30%	NO	NO	SI	SI
P2	*Examen 2^{on} Parcial*	50%	NO	NO	SI	SI
PRA	*Prácticas*	20%	NO	SI (<=2)	SI	NO

NOTA_FINAL = máximo(30% P1 + 50% P2, 80% P2) + 20% PRA Para tener superada la asignatura es necesario que NOTA_FINAL sea mayor o igual que 5
En caso de no haver superado la asignatura, se puede hacer el examen de **recuperación**. En este caso la nota se calculará de la siguiente manera: N_rec: nota del examen de recuperación. **NOTA_FINAL** = 80% N_rec + 20% PRA

Bibliografía y recursos de información

· Lloris A., Prieto A., Parrilla L. *Sistemas digitales*. McGraW-Hill.

· Floyd T. *Fundamentos de sistemas digitales*. Prentice-Hall.

· Hammacher C., Vranesic Z., Zaky S. *Organización de computadores* (5ªedición). McGraw-Hill.

· Ercegovac M.D., Lang T. *Digital Systems and Hardware/Firmware Algorithms*. Jhon Wiley and Sons.

· Gascón M., Leal A., Peinado B. *Problemas pràcticos de diseño lògico*. Paraninfo.