



Universitat de Lleida

GUIA DOCENT
**SISTEMES DE VALIDACIÓ DE
MAQUINARI I PROGRAMARI**

Coordinació: BEJAR TORRES, RAMON

Any acadèmic 2023-24

Informació general de l'assignatura

Denominació	SISTEMES DE VALIDACIÓ DE MAQUINARI I PROGRAMARI			
Codi	102044			
Semestre d'impartició	2N Q(SEMESTRE) AVALUACIÓ CONTINUADA			
Caràcter	Grau/Màster	Curs	Caràcter	Modalitat
	Grau en Enginyeria Informàtica	4	OBLIGATÒRIA	Presencial
	Grau en Enginyeria Informàtica	4	OPTATIVA	Presencial
Nombre de crèdits assignatura (ECTS)	6			
Tipus d'activitat, crèdits i grups	Tipus d'activitat	PRALAB	TEORIA	
	Nombre de crèdits	3	3	
	Nombre de grups	1	1	
Coordinació	BEJAR TORRES, RAMON			
Departament/s	ENGINYERIA INFORMÀTICA I DISSENY DIGITAL			
Distribució càrrega docent entre la classe presencial i el treball autònom de l'estudiant	6 ECTS = 25x6 = 150 - 60 hores de treball a classe - 90 hores de treball autònom			
Informació important sobre tractament de dades	Consulteu aquest enllaç per a més informació.			
Idioma/es d'impartició	Català Tot el material d'aprenentatge i exercicis es donarà en anglès			
Distribució de crèdits	3 crèdits teoria 3 crèdits pràctica			

Professor/a (s/es)	Adreça electrònica professor/a (s/es)	Crèdits impartits pel professorat	Horari de tutoria/lloc
BEJAR TORRES, RAMON	ramon.bejar@udl.cat	6	

Informació complementària de l'assignatura

Per poder abordar amb èxit l'assignatura, és recomanable haver cursat prèviament assignatures amb continguts bàsics sobre:

Lògica computacional (obligatoria en aquest grau d'Informàtica)

Intel·ligència artificial (obligatoria en aquest grau d'Informàtica)

Objectius acadèmics de l'assignatura

Resultats esperats del aprenentatge lligats a competències estratègiques i transversals:

- Sap preparar documents tècnics amb diferents eines de presentació per documents digitals (CT3).
- Sap treballar amb documentació tècnica i científica escrita en anglès (CT2).
- Comprèn els principals problemes que troben en el diseny de eines automàtiques per la verificació de programes i sap analitzar les propietats formals a verificar per la verificació completa o parcial de un algorisme (EPS6).

Resultats esperats del aprenentatge lligats a competències específiques:

- Coneix i comprèn els problemes fonamentals sobre la especificació formal del comportament de programes (GII-C5).
- Coneix la especificació formal de programes basada en lleguatsges formals (GII-C5).
- Sap utilitzar eines fonamentals per a la verificació semi-automàtica de programari, que necessiten de la interacció amb persones per finalitzar probes que no es poden automatitzar al 100%, i comprèn les limitacions que els resultats teòrics sobre computabilitat imposen sobre aquestes eines (GII-C5 , GII-C6).

Competències

- Estratègiques:

- **CT2.** Adquirir un domini significatiu d'una llengua estrangera, especialment de l'anglès.
- **CT3.** Adquirir capacitat en l'ús de les noves tecnologies i de les tecnologies de la informació i la comunicació.

- Transversals:

- **EPS6.** Capacitat d'anàlisi i síntesi.

- Específiques:

- **GII-C5.** Capacitat per adquirir, obtenir, formalitzar i representar el coneixement humà en una forma computable per a la resolució de problemes mitjançant un sistema informàtic en qualsevol àmbit d'aplicació, particularment els relacionats amb aspectes de computació, percepció i actuació en ambients o entorns intel·ligents.
- **GII-C6.** Capacitat per desenvolupar i avaluar sistemes interactius i de presentació d'informació complexa i la seva aplicació a la resolució de problemes de disseny d'interacció persona computadora.

Continguts fonamentals de l'assignatura

1. Introducció a la verificació de programari & maquinari
2. Verificació formal d'algòrimes
3. Verificació Completa
 - Hoare Logic Calculus
 - Verificació de programes While-Do
 - Verificació Parcial/Completa
 - Forward Verification amb actualització d'estats
 - Verificació de programes amb l'eina Key-Hoare
4. Verificació parcial y recerca d'errors
 - Verificació de sistemes mitjançant Bounded Model Checking (BMC)
 - Verificació de programes ANSI-C mitjançant l'eina CBMC
 - Verificació de Hardware mitjançant BMC

Eixos metodològics de l'assignatura

Hi haurà tres tipus d'activitats:

- 1) Classes magistrals on-line amb vídeos i amb video-conferències utilitzant el campus virtual.
- 2) Classes de laboratori
- 3) Treball autònom fora de classe per realitzar exercicis i els treballs obligatoris que es demanen a l'assignatura.

Pla de desenvolupament de l'assignatura

Week	Description	Classroom/Virtual Campus Activity	Autonomous Activity	Hours (F and A)
1	Presentation and introduction to formal software verification	Lectures		4 -
2	Formal specification and Symbolic Execution	Lectures and problem solving laboratory	Solve Exercises	4 6
3	Formal specification and Symbolic Execution	Lectures and problem solving laboratory	Study Solve Exercises	4 7

4	Hoare Logic with states – assignments and conditionals	Lectures and problem solving laboratory	Solve Exercises	4 6
5	Hoare Logic with states - loops	Lectures and problem solving laboratory	Study Solve Exercises	4 7
6	Hoare Logic with states - loops	Lectures and problem solving laboratory	Solve Exercises	4 6
7	Hoare Logic with states – loop termination	Lectures and problem solving laboratory	Work on 1st problem set assignment Solve Exercises	4 8
8	Hoare Logic with states – loop termination	Lectures and problem solving laboratory	Study Work on 1st problem set assignment	4 8
9	Evaluation	Written Exam on complete verification with Hoare Logic with states	Study Work on 1st problem set assignment	4 8
10	Introduction to BMC for digital software and hardware systems	Lectures and programming laboratory	Solve Exercises	4 6
11	Static Analysis in CBMC and formula building	Lectures and programming laboratory	Solve Exercises	4 6
12	The CBMC verification tool	Lectures and programming laboratory	Study Solve Exercises	4 6
13	CBMC user assertions	Lectures and programming laboratory	Study Solve Exercises	4 10
14	CBMC automatic assertions and code coverage	Lectures and programming laboratory	Study Work on 2nd problem set assignment	4 8
15	Verification of Verilog Hardware Designs	Lectures and programming laboratory	Study Work on 2nd problem set assignment	4 8
16			Study Work on 2nd problem set assignment	- 6
17	Evaluation	Written Exam on BMC and CBMC	Study Work on 2nd problem set assignment	2 6
18				
19				

Sistema d'avaluació

Taula. Activitats d'avaluació

Acr.	Activitat d'avaluació	Pes	Nota mínima	En grup	Obligatòria
P1	<i>Problemes de verificació formal</i>	24%	NO	SÍ	NO
P2	<i>Problemes de verificació formal</i>	21%	NO	SÍ	NO
PR	<i>Exercicis optatius a classe</i>	5%	NO	NO	NO

E1	Examen escrit (1)	28%	NO	NO	NO
E2	Examen escrit (1)	27%	NO	NO	NO

Nota final = $0,24 \cdot P1 + 0,21 \cdot P2 + 0,05 \cdot PR + 0,28 \cdot E1 + 0,27 \cdot E2$
(1) : Els exàmens es poden recuperar.

Bibliografia i recursos d'informació

Tot el material d'aprenentatge serà proporcionat durant el curs en forma de transparències, apunts i manuals dels diferents programes que s'utilitzaran.