



GUIA DOCENT  
**ARQUITECTURA DE  
COMPUTADORS**

Coordinació: ROIG MATEU, CONCEPCION

Any acadèmic 2022-23

## Informació general de l'assignatura

<b>Denominació</b>	ARQUITECTURA DE COMPUTADORS			
<b>Codi</b>	102014			
<b>Semestre d'impartició</b>	2N Q(SEMESTRE) AVALUACIÓ CONTINUADA			
<b>Caràcter</b>	<b>Grau/Màster</b>	<b>Curs</b>	<b>Caràcter</b>	<b>Modalitat</b>
	Doble titulació: Grau en Enginyeria Informàtica i Grau en Administració i Direcció d'Empreses	2	OBLIGATÒRIA	Presencial
	Grau en Enginyeria Informàtica	2	OBLIGATÒRIA	Presencial
	Màster Universitari en Enginyeria Informàtica		COMPLEMENTES DE FORMACIÓ	Presencial
<b>Nombre de crèdits assignatura (ECTS)</b>	6			
<b>Tipus d'activitat, crèdits i grups</b>	<b>Tipus d'activitat</b>	PRALAB	TEORIA	
	<b>Nombre de crèdits</b>	3	3	
	<b>Nombre de grups</b>	3	2	
<b>Coordinació</b>	ROIG MATEU, CONCEPCION			
<b>Departament/s</b>	INFORMÀTICA I ENGINYERIA INDUSTRIAL			
<b>Distribució càrrega docent entre la classe presencial i el treball autònom de l'estudiant</b>	Globalment l'assignatura té 60 hores de classe presencial i 120 hores de treball autònom de l'estudiant.			
<b>Informació important sobre tractament de dades</b>	Consulteu <a href="#">aquest enllaç</a> per a més informació.			
<b>Idioma/es d'impartició</b>	Català			

Professor/a (s/es)	Adreça electrònica professor/a (s/es)	Crèdits impartits pel professorat	Horari de tutoria/lloc
BIGORDA SOLDEVILA, TOMAS	tomas.bigorda@udl.cat	6	
ROIG MATEU, CONCEPCION	concepcio.roig@udl.cat	6	
TOMAS CUÑAT, ROSA ANA	rosana.tomas@udl.cat	3	

## Informació complementària de l'assignatura

Assignatura que s'imparteix durant el segon quadrimestre del segon curs de la titulació.

És una assignatura de caràcter obligatori.

Per cursar l'assignatura es requereixen els coneixements de les unitats funcionals del sistema computador que es donen a les assignatures prèvies d'Estructura de Computadors I i II.

## Objectius acadèmics de l'assignatura

- Estudiar el funcionament global de la memòria jeràrquica del computador i els distints nivells que la formen.
- Aprendre la organització de la informació en el sistema de memòria perquè l'accés sigui eficient.
- Aprendre el mecanisme d'execució segmentat de les instruccions dins el processador i avaluar-ne el rendiment.
- Estudiar els processos i algorismes que cal dur a terme per fer les operacions aritmètiques bàsiques i les complexes dins la unitat aritmètica.
- Analitzar les diferents solucions que es presenten des del punt de vista d'eficiència i de cost. Saber valorar quines solucions de disseny arriben a un millor compromís entre cost i rendiment.

## Competències

### Competències específiques de la titulació

- GII-FB5: Coneixement de l'estructura, organització, funcionament i interconnexió dels sistemes informàtics, els fonaments de la seva programació, i la seva aplicació per a la resolució de problemes propis de l'enginyeria.
- GII-CRI9: Capacitat de conèixer, comprendre i avaluar l'estructura i arquitectura dels computadores, així com els components bàsics que els conformen.

### Competències transversals de la titulació

- EPS-5: Capacitat per a l'abstracció i el raonament crític, lògic i matemàtic.

## Continguts fonamentals de l'assignatura

## A. CONTINGUTS TEÒRICS

### 1. Jerarquia de memòria

#### 1.1. Introducció

Conceptes generals.

Principi de localitat.

#### 1.2. Memòria *cache*

Configuracions de memòria *cache*.

Assignació i identificació de blocs.

Polítiques de substitució de bloc

Polítiques d'escriptura.

Coherència de dades.

Rendiment de la memòria *cache*.

#### 1.3. Memòria principal

Organització per a la millora del rendiment.

Alternatives tecnològiques.

#### 1.4. Memòria virtual.

Elements de la memòria virtual.

Taules de pàgines

TLB (Transaction Look-aside Buffer).

## 2. Processament segmentat

### 2.1. Conceptes bàsics

### 2.2. Tractament dels riscos.

Riscos estructurals.

Riscos de dades.

Riscos de control.

### 2.3. Influència del repertori d'instruccions.

### 2.4. Execució superescalar.

## 3. Processament aritmètic

### 3.1. Circuits sumadors

Semi-sumador, sumador complet, sumador paral·lel.

Sumador amb calcul de carry anticipat

Circuit sumador/restador

### 3.2. Algorismes de multiplicació binària

### 3.3. Algorismes de divisió binària

## 3.4. Aritmètica de punt flotant

Representació de nombres en punt flotant.

Representació aproximada: rang i presició.

Operacions de suma i resta

Operacions de multiplicació i divisió

## B. CONTINGUTS PRÀCTICS

Simulació de les unitats funcionals del sistema

- Pràctica sobre jerarquia de memòria amb el simulador SMPcaché. (Tema 1)

- Practica d'execució segmentada amb el simulador WinMIPS64.(Tema 2)

## Eixos metodològics de l'assignatura

Les classes s'imparteixen en modalitat presencial i es divideixen en classes de grup de teoria (grup Teo) i classes de grup de problemes/pràctiques (grup PraLab)

Els continguts que es fan a cadascun dels grups es divideixen de la manera següent:

Grup teoria: Són classes de tipus expositiu on es donen els continguts de l'assignatura

Grup PraLab: Es resolen problemes i pràctiques, de manera participativa i interactiva, relacionats amb els continguts exposats a les classes del grup de teoria.

## Pla de desenvolupament de l'assignatura

Setmana	Descripció	Activitat Grup Teoria	Activitat Grup PraLab
1	Jerarquia de memòria	Presentació assignatura. Conceptes generals. Principi de localitat.	Exercicis de jerarquia de memòria
2	Jerarquia de memòria	Configuracions de memòria cache. Assignació i identificació de blocs	Exercicis de jerarquia de memòria
3	Jerarquia de memòria	Polítiques de substitució de bloc i escriptura	Exercicis de jerarquia de memòria
4	Jerarquia de memòria	Coherència de dades	Exercicis de jerarquia de memòria
5	Jerarquia de memòria	Rendiment de la memòria cache	Pràctiques de jerarquia de memòria
6	Jerarquia de memòria	Memòria principal. Memòria virtual.	Pràctiques de jerarquia de memòria
7	Processament segmentat	Conceptes bàsics	Exercicis de processament segmentat
8	Processament segmentat	Tractament de riscos	Exercicis de processament segmentat
9	Examen parcials	Realització primer parcial	
10	Processament segmentat	Tractament de riscos	Pràctiques de processament segmentat

11	Processament segmentat	Influència del repertori d'instruccions. Execució superescalar	Pràctiques de processament segmentat
12	Processament aritmètic	Circuits sumadors	Exercicis de processament aritmètic.
13	Processament aritmètic	Algorismes de multiplicació binària	Exercicis de processament aritmètic.
14	Processament aritmètic	Algorismes de divisió binària	Exercicis de processament aritmètic.
15	Processament aritmètic	Aritmètica en punt flotant	Exercicis de processament aritmètic.
16 i 17	Exàmens parcials	Realització segon parcial	
18	Tutories		
19	Exàmens recuperació	Realització examen de recuperació, si cal.	

## Sistema d'avaluació

Acr.	Activitats d'Avaluació	Ponderació	Nota Mínima	En grup	Obligatòria	Recuperable
P1	Examen 1 <sup>er</sup> Parcial	30%	NO	NO	NO	SI
P2	Examen 2 <sup>on</sup> Parcial	50%	NO	NO	NO	SI
PRA	Pràctiques	20%	NO	SI (<=2)	NO	NO
<b>NOTA_FINAL=30% P1+50% P2+20% PRA</b> Per tenir superada l'assignatura cal que NOTA_FINAL sigui major o igual que 5						
En cas de no haver superat l'assignatura, es pot anar a l'examen de recuperació de cadascun dels dos exàmens parcials. En aquest cas la nota es calcularà de la següent manera: N_rec_P1: nota recuperació primer parcial (o P1 si no es fa l'examen de recuperació) N_rec_P2: nota recuperació segon parcial (o P2 si no es fa l'examen de recuperació) NOTA_FINAL = 30% N_rec_P1 + 50% N_rec_P2+ 20% PRA						

## Bibliografia i recursos d'informació

Stallings W., *Organización y arquitectura de computadores*. (7 edición) Prentice-Hall.

Hamacher C., Vranesic Z., Zaky S. *Organización de computadores* (5ªedición). McGraw-Hill.

Ortega J., Anguita M., Prieto A. *Arquitectura de computadores*. Thomson.

Hennessy J. L., Patterson D. A. *Computer Architecture. A Quantitative Approach*. Morgan Kaufmann.