



Universitat de Lleida

GUIA DOCENT

ESTRUCTURA DE COMPUTADORS I

Coordinació: ROIG MATEU, CONCEPCIÓN

Any acadèmic 2016-17

Informació general de l'assignatura

| | | | | |
|--|--|-------------|-----------------|------------------|
| Denominació | ESTRUCTURA DE COMPUTADORS I | | | |
| Codi | 102002 | | | |
| Semestre d'impartició | 1R Q(SEMESTRE) AVALUACIÓ CONTINUADA | | | |
| Caràcter | Grau/Màster | Curs | Caràcter | Modalitat |
| | Doble Titulació: Grau en Enginyeria Informàtica i Grau en Administració i Direcció d'Empreses | 1 | TRONCAL | Presencial |
| | Grau en Enginyeria Informàtica | 1 | TRONCAL | Presencial |
| Nombre de crèdits ECTS | 6 | | | |
| Grups | 1GG,4GM | | | |
| Crèdits teòrics | 3 | | | |
| Crèdits pràctics | 3 | | | |
| Coordinació | ROIG MATEU, CONCEPCIÓN | | | |
| Departament/s | INFORMATICA I ENGINYERIA INDUSTRIAL | | | |
| Distribució càrrega docent entre la classe presencial i el treball autònom de l'estudiant | Globalment l'assignatura té 60 hores de classe presencial i 120 hores de treball individual de l'estudiant. | | | |
| Informació important sobre tractament de dades | Consulteu aquest enllaç per a més informació. | | | |
| Idioma/es d'impartició | Català | | | |
| Distribució de crèdits | La distribució de crèdits comptant el desplegament de grups que es fa a l'assignatura és la següent: Josep M. Solà 12 Concepció Roig Mateu 3 | | | |
| Horari de tutoria/lloc | Concepció Roig: divendres de 13:00 h. a 14:00 h. Josep M. Solà: divendres de 13:00 h. a 14:00 h. | | | |

| Professor/a (s/es) | Adreça electrònica professor/a (s/es) | Crèdits impartits pel professorat | Horari de tutoria/lloc |
|--------------------------|---------------------------------------|-----------------------------------|------------------------|
| ROIG MATEU, CONCEPCION | roig@diei.udl.cat | 3 | |
| SOLA GIMENO, JOSEP MARIA | jmsola@diei.udl.cat | 12 | |

Informació complementària de l'assignatura

Assignatura que s'imparteix durant el primer quadrimestre del 1er curs de la titulació. Correspon a la matèria "Estructura de Computadors" dins del mòdul de "Formació Bàsica".

Per cursar l'assignatura no es requereixen coneixements previs necessaris de circuits lògics. Es suficient amb tenir els coneixements adquirits en l'educació secundària post-obligatoria.

Objectius acadèmics de l'assignatura

- Aprendre els formats de representació de la informació en un sistema computador i les regles de tractament d'aquesta informació.
- Estudiar el funcionament dels blocs bàsics combinacionals i seqüencials i la seva funció dins d'un computador.
- Desenvolupar els processos d'anàlisi i disseny de circuits lògics combinacionals i seqüencials.
- Resolució de circuits amb capacitat d'analitzar diferents propostes.

Competències

Competències específiques de la titulació

GII-FB5. Coneixement de l'estructura, organització, funcionament i interconnexió dels sistemes informàtics, els fonaments de la seva programació, i la seva aplicació per a la resolució de problemes propis de l'enginyeria.

GII-CRI9. Capacitat de conèixer, comprendre i avaluar l'estructura i arquitectura dels computadores, així com els components bàsics que els conformen.

Competències transversals de la titulació

EPS1. Capacitat de resolució de problemes i elaboració i defensa d'arguments dins de la seva àrea d'estudis.

EPS9. Capacitat de treball en equip, tant unidisciplinari com a multidisciplinari.

Continguts fonamentals de l'assignatura

1. Representació digital de la informació

- 1.1. Codificació de la informació
- 1.2. Sistemes de numeració
- 1.3. Aritmètica binària
- 1.4. Representació de números amb signe
- 1.5. Codificació alfanumèrica

2. Funcions lògiques

- 2.1. Àlgebra de commutació
- 2.2. Operadors i portes lògiques
- 2.3. Funcions lògiques
- 2.4. Simplificació de funcions lògiques
- 2.5. Funcions incompletament especificades

3. Circuits combinacionals

- 3.1. Estructures de portes de dos nivells
- 3.2. Anàlisi i síntesi de circuits combinacionals
- 3.3. Blocs combinacionals bàsics
 - 3.3.1. *Descodificador*
 - 3.3.2. *Codificador*
 - 3.3.3. *Multiplexor*
 - 3.3.4. *Demultiplexor*
 - 3.3.5. *Comparador*

4. Circuits seqüencials

- 4.1. Element bàsic de memòria
- 4.2. Flip-flops
- 4.3. Entrades directes a un flip-flop
- 4.4. Anàlisi de circuits seqüencials
- 4.5. Disseny de circuits seqüencials
- 4.6. Mòduls seqüencials bàsics
 - 4.6.1. *Registres*
 - 4.6.2. *Comptadors*

Eixos metodològics de l'assignatura

Les classes es divideixen en classes de grup gran (GG) on hi assisteixen tots els estudiants de l'assignatura i classes de grup mitjà (GM) on hi assisteix només una part dels estudiants. Els continguts que es fan a cadascun dels grups es divideixen de la manera següent:

GG: Són classes de tipus expositiu on es donen els continguts de l'assignatura.

GM: Es resolen problemes relacionats amb els continguts, exposats a les classes de GG, de manera participativa i interactiva. També es fan pràctiques de laboratori per a resolució de circuits lògics amb el simulador ISIS de Proteus.

Activitats pràctiques:

- Disseny d'un circuit combinacional que realitzi un funció determinada.
- Disseny d'un circuit seqüencial que passi per una seqüència predeterminada d'estats.

Pla de desenvolupament de l'assignatura

| Setmana | Descripció | Activitat GG | Activitat GM |
|---------|---|---|---|
| 1 | Representació digital informació. Funcions lògiques | Presentació assignatura. Àlgebra de commutació. | Codificació de la informació. Sistemes de numeració. |
| 2 | Representació digital informació. Funcions lògiques | Operadors i portes lògiques. | Aritmètica binària |
| 3 | Representació digital informació. Funcions lògiques | Representació de funcions lògiques. | Representació de números amb signe. Codificació alfanumèrica. |
| 4 | Funcions lògiques | Mètodes de simplificació de funcions lògiques. | Exercicis de funcions lògiques. |
| 5 | Funcions lògiques | Funcions incompletament especificades | Exercicis de funcions lògiques. |
| 6 | Circuits combinacionals | Estructures de portes de dos nivells | Exercicis de funcions lògiques. |
| 7 | Circuits combinacionals | Anàlisi i síntesi de circuits combinacionals | Exercicis circuits combinacionals. |
| 8 | Circuits combinacionals | Blocs combinacionals bàsics | Exercicis circuits combinacionals. |
| 9 | Examen parcials | Realització primer parcial | |
| 10 | Circuits combinacionals | Blocs combinacionals bàsics | Exercicis circuits combinacionals. |
| 11 | Circuits seqüencials | Element bàsic de memòria | Pràctica circuits combinacionals. |
| 12 | Circuits seqüencials | Flip-flops | Exercicis de circuits seqüencials. |
| 13 | Circuits seqüencials | Anàlisi de circuits seqüencials | Exercicis de circuits seqüencials. |
| 14 | Circuits seqüencials | Disseny de circuits seqüencials | Exercicis de circuits seqüencials. |
| 15 | Circuits seqüencials | Mòduls seqüencials bàsics | Pràctica de circuits seqüencials. |
| 16 i 17 | Examens parcials | Realització segon parcial | |
| 18 | Tutories | | |
| 19 | Exàmens recuperació | Realització examen de recuperació, si cal. | |

Sistema d'avaluació

| Acr. | Activitats d'Avaluació | Ponderació | Nota Mínima | En grup | Obligatòria | Recuperable |
|---|--------------------------------|------------|-------------|----------|-------------|-------------|
| P1 | Examen 1 ^{er} Parcial | 30% | NO | NO | SI | SI |
| P2 | Examen 2 ^{on} Parcial | 50% | NO | NO | SI | SI |
| PRA | Pràctiques | 20% | NO | SI (<=2) | SI | NO |
| <p>NOTA_FINAL = màxim(30% P1 + 50% P2, 80% P2) + 20% PRA Per tenir superada l'assignatura cal que NOTA_FINAL sigui major o igual que 5</p> <p>En cas de no haver superat l'assignatura, es pot anar a l'examen de recuperació. En aquest cas la nota es calcularà de la següent manera: N_rec: nota de l'examen de recuperació. NOTA_FINAL = 80% N_rec + 20% PRA</p> | | | | | | |

Bibliografia i recursos d'informació

- Lloris A., Prieto A., Parrilla L. *Sistemas digitales*. McGraw-Hill.
- Floyd T. *Fundamentos de sistemas digitales*. Prentice-Hall.
- Hammacher C., Vranesic Z., Zaky S. *Organización de computadores* (5ª edición). McGraw-Hill.
- Ercegovac M.D., Lang T. *Digital Systems and Hardware/Firmware Algorithms*. Jhon Wiley and Sons.
- Gascón M., Leal A., Peinado B. *Problemas pràcticos de diseño lògico*. Paraninfo.